

デジタル回路では、一般に 2 値論理を使用する。2 値論理は、2 つの状態を “1”， “0” で表す。これは、電圧が高い、電圧が低いといった形で実現される。

1. ブール代数の基本演算

① 論理和 (OR) 表現方法： A OR B 、 $A+B$

$$0+0=0$$

$$0+1=1$$

$$1+0=1$$

$$1+1=1$$

入力のうちどれか 1 つでも “1” があれば、出力は、”1”

$$1+0+1=1 \text{ (3 入力の場合)}$$

② 論理積 (AND) 表現方法： A AND B 、 $A \cdot B$ 、 AB

$$0 \cdot 0=0$$

$$0 \cdot 1=0$$

$$1 \cdot 0=0$$

$$1 \cdot 1=1$$

入力のうちどれか 1 つでも “0” があれば、出力は、 “0”

③ 否定 (NOT) 表現方法： NOT A 、 \overline{A}

$$\overline{0}=1, \quad \overline{1}=0$$

入力の論理値が反転して出力される

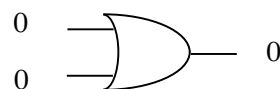
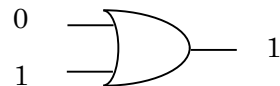
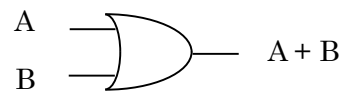
すべての論理は、この 3 種類の論理機能の組み合わせで実現できる。

2. 真理値表 (truth table)

① OR

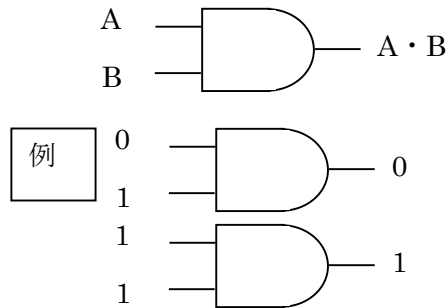
A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1

例



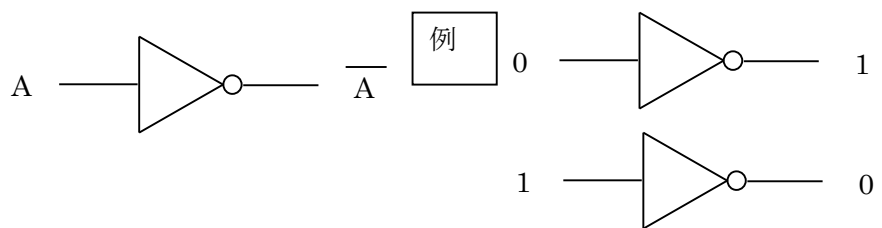
② AND

A	B	$A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1



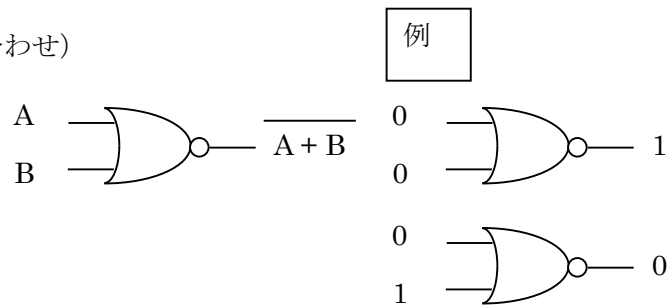
③ NOT (Inverter)

A	\overline{A}
0	1
1	0



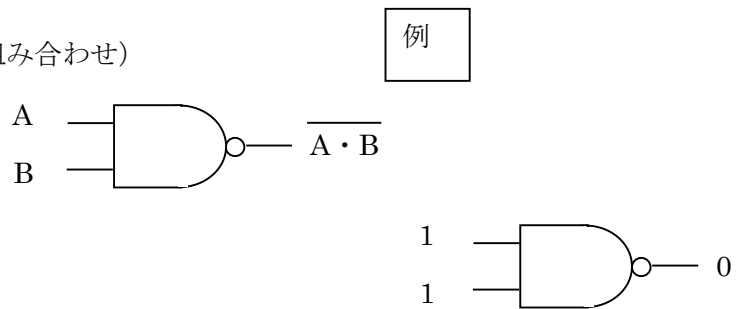
④ NOR (OR と NOT の組み合わせ)

A	B	$\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0



⑤ NAND (AND と NOT の組み合わせ)

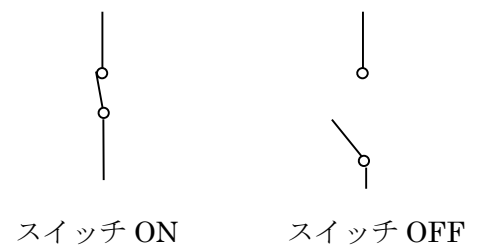
A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0



3. スイッチとしてモデル化した MOS トランジスタ

		PMOS	NMOS
ゲート電位	VDD	OFF	ON
	0V	ON	OFF

ON とはドレイン端子とソース端子がショートした状態
 OFF とはドレイン端子とソース端子がオープンの状態



CMOS による基本ゲートの実現

① Inverter (インバータ)

CMOS による Inverter の構成を図 3-1 に示す。

入力 IN が VDD (論理値 “1”) のとき、NMOS は ON、PMOS は OFF になる。MOS トランジスタをスイッチに置き換えて考えると、図 3-2 のようになる。

このとき出力は GND=0V (論理値 “0”) に等しい。つまり論理“1”を入力して、論理出力が“0”になった。

次に入力 IN が 0V (論理値 “0”) のときを考える。このとき PMOS は ON、NMOS は OFF になる。(図 3-3) 出力は VDD (論理値 “1”) になる。

つまり論理“0”を入力して、論理出力が“1”になった。

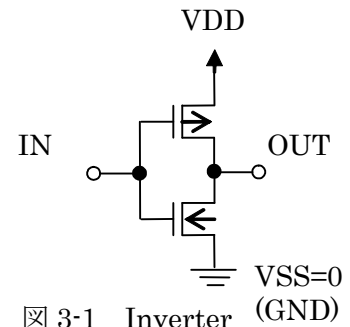


図 3-1 Inverter (GND)

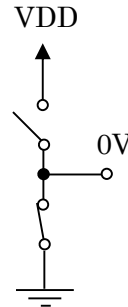


図 3-2 入力が VDD のとき

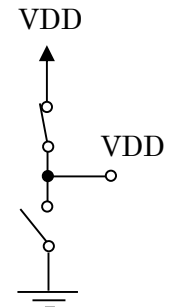


図 3-3 入力が 0V のとき

② NOR

CMOS による NOR 回路の構成を図 3-4 に示す。

入力 A、B がともに GND のとき、直列に接続された PMOS トランジスタは両方 ON する。一方、並列接続された NMOS は両方 OFF する。したがって出力は VDD (“1”) となる。(図 3-5)

入力 A、B のどちらか一方が VDD のとき、PMOS トランジスタの一つが OFF するため、VDD と出力端子の経路が切れる。一方、NMOS トランジスタの一つが ON するので、GND と出力端子の経路がつながる。そのため、出力は 0V となる。(図 3-6)

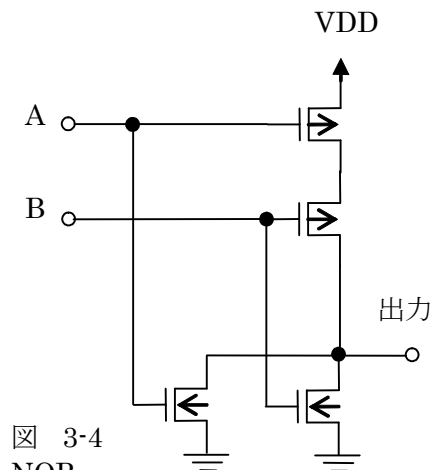


図 3-4 NOR

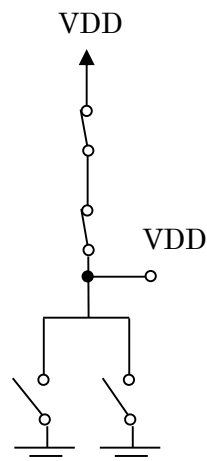


図 3-5 入力 A、B が共に 0V のとき

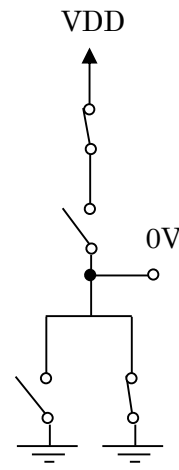


図 3-6 入力的一方が VDD のとき

③ NAND

CMOS による NAND 回路の構成を図 3-7 に示す。

入力 A、B がともに VDD のとき、直列に接続された NMOS トランジスタは両方 ON する。一方、並列接続された PMOS は両方 OFF する。したがって出力は 0V となる。

(図 3-8)

入力 A、B のどちらか一方が 0V のとき、NMOS トランジスタの一つが OFF するため、GND と出力端子の経路が切れる。一方、PMOS トランジスタの一つが ON するので、VDD と出力端子の経路がつながる。そのため、出力は VDD となる。

(図 3-9)

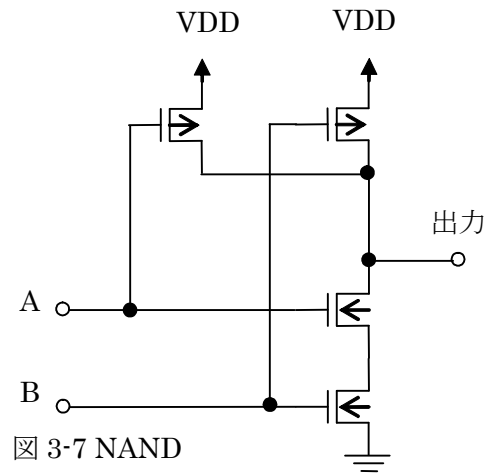


図 3-7 NAND

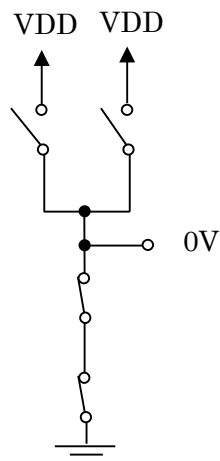


図 3-8

入力 A、B が共に VDD のとき

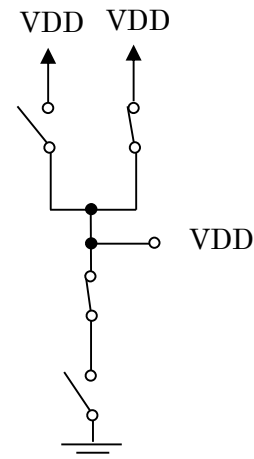


図 3-9

入力 A、B の一方が 0V のとき

④ AND

NAND + Inverter で実現

6つのトランジスタを必要とする。

(図 3-10)

⑤ OR

NOR + Inverter で実現

6つのトランジスタを必要とする。

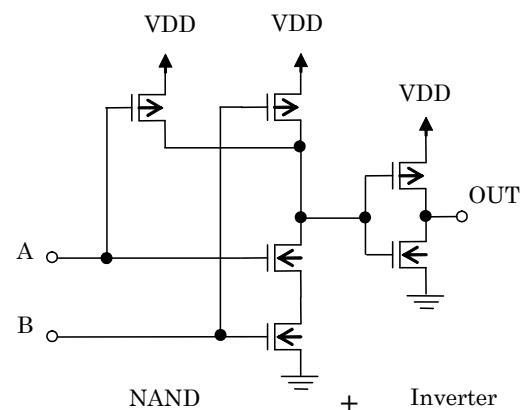


図 3-10 AND